

## PATENT ABSTRACTS OF JAPAN

E6160

(11)Publication number : 09-321184

(43)Date of publication of application : 12.12.1997

(51)Int.Cl.

H01L 23/32

H01L 21/60

H05K 1/18

(21)Application number : 09-021372

(71)Applicant : HOYA CORP

(22)Date of filing : 04.02.1997

(72)Inventor : HATANAKA KUNIMICHI  
MURATA SHINICHI

(30)Priority

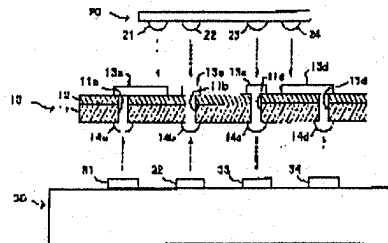
Priority number : 08 74217 Priority date : 28.03.1996 Priority country : JP

## (54) SEMICONDUCTOR CONNECTION BOARD, ITS MANUFACTURE AND BARE CHIP MOUNTING BOARD

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a low-cost semiconductor connection board whereby such a semiconductor device having a high wiring density as a semiconductor chip and a printed wiring board having a low wiring density can be connected.

SOLUTION: In a photosensitive glass board 11, holes 11a-11d of the same number as bumps 21-24 of a bare chip 20 are bored. To the top surface of the photosensitive glass board 11, wirings 13a-13d are bonded by a bonding agent 12. In the case of the connection of the bare chip 20, the positions to connect the bumps 21-24 therewith and the holes 11a-11d are connected electrically by the wirings 13a-13d. Filling conductors provided by plating into the insides of the respective holes 11a-11d, bumps 14a-14d are formed at the ends of the respective conductors. With the wirings 13a-13d of the semiconductor connection board 10, the bumps 21-24 of the bare chip 20 are connected, and then, electrodes 31-34 of a printed wiring board 30 are connected with the bumps 14a-14d of the connection board 10.



## LEGAL STATUS

[Date of request for examination] 03.10.1997

[Date of sending the examiner's decision of rejection] 29.06.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3004931

[Date of registration] 19.11.1999

[Number of appeal against examiner's decision of rejection] 11-12096

[Date of requesting appeal against examiner's decision of rejection] 23.07.1999

[Date of extinction of right]

特開平9-321184

E6160

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-321184

(43) 公開日 平成9年(1997)12月12日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	FI	技術表示箇所
H01L 23/32			H01L 23/32	D
21/60	311		21/60	311S
H05K 1/18			H05K 1/18	J

審査請求 未請求 請求項の数 8 O L (全 16 頁)

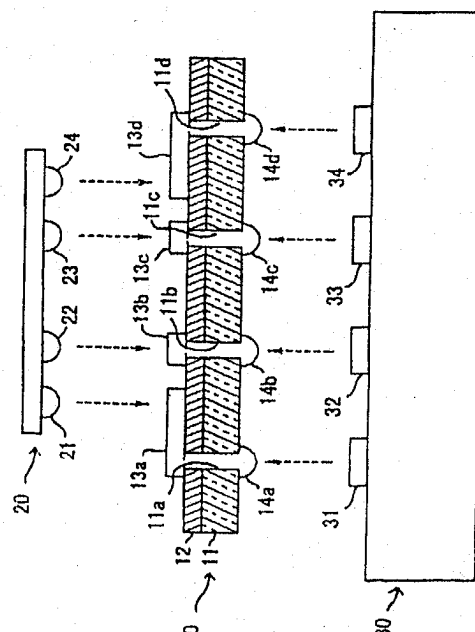
(21) 出願番号	特願平9-21372	(71) 出願人	000113263 ホーヤ株式会社 東京都新宿区中落合2丁目7番5号
(22) 出願日	平成9年(1997)2月4日	(72) 発明者	畑中 邦道 東京都新宿区中落合2丁目7番5号 ホーヤ株式会社内
(31) 優先権主張番号	特願平8-74217	(72) 発明者	村田 晋一 東京都新宿区中落合2丁目7番5号 ホーヤ株式会社内
(32) 優先日	平8(1996)3月28日	(74) 代理人	弁理士 服部 毅蔵
(33) 優先権主張国	日本 (JP)		

(54) 【発明の名称】 半導体接続基板、半導体接続基板の製造方法、及びベアチップ搭載ボード

# (57) 【要約】

【課題】 半導体チップ等の高配線密度の半導体チップと低配線密度のプリント配線板とを接続できる安価な半導体接続基板を提供する。

【解決手段】 感光性ガラス基板11には、ベアチップ20の bumps 21~24 と同じ数の孔 11a~11d があけられている。感光性ガラス基板11の上には、配線13a~13d が接着剤12により接着されている。配線13a~13d は、ベアチップ20を接続する際に bumps 21~24 が接続されるべき位置と孔 11a~11d との間を電気的に接続している。各孔 11a~11d 内部は、メッキにより設けられた導体によって埋められており、さらにその先に bumps 14a~14d が形成されている。この半導体接続基板10の、配線13a~13d にはベアチップ20の bumps 21~24 を接続し、 bumps 14a~14d にはプリント配線板30の電極31~34を接続する。



## 【特許請求の範囲】

【請求項1】 半導体チップをプリント基板に接続するための半導体接続基板において、  
所定の位置に複数の孔が設けられた、感光性ガラスからなる基板と、  
前記孔に埋められた導電性物質の上に形成されたバンパと、  
前記バンパが形成された面と逆の面に設けられ、前記孔の間隔と異なる間隔で配置された複数の接続端子と前記導電性物質とを電気的に接続する配線と、  
を有することを特徴とする半導体接続基板。

【請求項2】 半導体チップをプリント基板に接続するための半導体接続基板において、  
感光性ガラスからなる基板と、  
前記基板の端面に設けられた複数の端面接続端子と、  
前記基板の一方の面の前記半導体チップの電極に応じた位置に配置された複数の高密度端子と前記端面接続端子とを電気的に接続する配線と、  
を有することを特徴とする半導体接続基板。

【請求項3】 半導体チップをプリント基板に接続するための半導体接続基板において、  
前記プリント基板の配線密度に応じた間隔で複数の孔が設けられた、感光性ガラスからなる基板と、  
前記基板の一方の面の前記半導体チップの電極に応じた位置に配置された複数の高密度端子と前記孔の内壁とを電気的に接続する配線と、  
を有することを特徴とする半導体接続基板。

【請求項4】 複数の半導体チップを基板に接続するための半導体接続基板の製造方法において、  
フォトリソグラフィにより、感光性ガラス基板の所定の位置に前記感光性ガラス基板を貫通する複数の孔をあけ、  
前記感光性ガラス基板の一方の面に導体膜を形成し、  
メッキにより、前記孔の内部を埋め、さらに前記感光性ガラス基板の面上に盛り上がるまで導体を成長させることによりバンパを形成し、  
前記導体膜をフォトリソグラフィで現像、及びエッチングをすることにより、前記孔の間隔と異なる間隔で配置された複数の接続端子と、前記バンパを形成する導体とを電気的に接続する配線を形成する、  
ことを特徴とする半導体接続基板の製造方法。

【請求項5】 半導体チップをプリント基板に接続するための半導体接続基板の製造方法において、  
フォトリソグラフィにより、感光性ガラス基板の所定の位置に、前記感光性ガラス基板を貫通する複数の孔をあけ、  
スパッタリングにより、前記感光性ガラス基板の一方の配線面と前記孔の内壁とに導体膜を形成し、  
メッキにより前記導体膜を成長させ、

グをすることにより、前記半導体チップの配線密度に応じた間隔で前記感光性ガラス基板の一方の面上に配置された複数の高密度端子と、前記孔の内壁とを電気的に接続する配線を形成する、

05 ことを特徴とする半導体接続基板の製造方法。

【請求項6】 前記孔をあける際には、前記感光性ガラス基板の外周に一行となる位置に前記孔をあけ、  
前記配線を形成した後に、前記孔の位置に沿って前記感光性ガラス基板を切断する、

10 ことを特徴とする請求項5記載の半導体接続基板の製造方法。

【請求項7】 前記孔をあける際には、電極用として挿入すべきピンの径に合わせた大きさの前記孔をあけることを特徴とする請求項5記載の半導体接続基板の製造方法。

15 法。  
【請求項8】 基板上に各種半導体部品が設けられたベアチップ搭載ボードにおいて、  
所定の位置に複数の孔が設けられた、感光性ガラスからなる基板と、

20 前記孔に埋められた導電性物質と、  
前記基板の両面において、前記導電性物質の上に接続端子を形成する配線と、  
所定の電極が前記接続端子に接続されることにより、前記基板の両面に搭載された複数のベアチップと、  
25 を有することを特徴とするベアチップ搭載ボード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はベアチップ等の半導体チップをプリント基板に搭載するための半導体接続基板、半導体接続基板の製造方法及びベアチップ搭載ボードに関し、特に高配線密度のチップを配線密度の低いプリント基板に搭載するための半導体接続基板、その半導体接続基板の製造方法及び高密度実装のベアチップ搭載ボードに関する。

35 【0002】

【従来の技術】シリコンウエハー上に形成された後ダイシングされた状態のLSIなどの半導体チップを電気的に機能させるためには、チップの電極をプリント配線板の配線に電気的に接続しなければならない。そこで、一般的にはチップをリードフレームに接続するとともに封止し、チップが封止された筐体（以下、チップパッケージと呼ぶ）をプリント配線板に接続している。

40 【0003】このチップパッケージに要求される機能はチップの保護、チップープリント配線板間の電気的接続の確立、熱放散である。ここで電気的接続を確立するにはチップレベルの微小配線を、プリント配線板に接続可能な広い配線にしなければならない。つまり、電極のピンのピッチを拡大し、配線密度の変換を行う必要がある。

ワイヤーボンディングによりチップのボンディングパッドとリードフレーム側の配線とを接続し、各配線を間隔の広いピンに接続することによりピンピッチを拡大するという技術が広く使用されている。ところが、近年はチップの高性能化にともなう I/O (Input/Output) の増加から、ボンディングパッド及びリードフレームのピン数が増加している。そのため、多量のボンディングパッドに対して 1 つ 1 つワイヤーをボンディングしていたのでは、パッド数に比例してボンディング時間が長くなってしまふ。

【0005】また、チップの多ピン化に伴いピンピッチも狭くせざるを得ない。そのため、リードフレームを短絡させずにプリント配線板に接続することが次第に難しくなっている。以上のような理由から、ワイヤーボンディングに変わる方法が必要とされている。

【0006】そこで、最近ではチップ側のパッドにバンブを設け、そのバンブによって半導体接続用基板に実装するフリップチップ接続方式が提案されている。この方式によれば、各バンブの配線を同時に接続できるため、パッド数が増えることによる作業時間の増加は小さくなる。また、ワイヤーボンディング方式にくらべ単位面積当たりの接続端子を多くとることができ、かつボンディングパッドを任意の位置に配置できるため、多ピン化によりピンピッチが狭くなるという問題を緩和することができる。さらに、単位面積当たりの接続端子を多くとれることは、パッケージの小型化、高密度化にもつながる。

【0007】また、パッケージの形状により多ピン化に対応する技術として、BGA (ボールグリッドアレイ) 等のように接続端子をアレイ状 (格子状) に設けるものも実用化されつつある。接続端子をアレイ状にすることにより、限られたスペースを効率良く使用することができ、パッケージの小型化がさらに進められる。

【0008】

【発明が解決しようとする課題】ところで、半導体チップの小型化、高性能化の技術の進歩が著しいなかで、BGA のように端子をアレイ状に並べて接続するパッケージ方法が多ピン化への対応として開発されている。しかし、機器のさらなる軽薄短小化が求められるなかで、端子電極をアレイ状に並べるパッケージを実現するためにはこれまで以上に微細な配線をもつパッケージング基板材料が必要となる。

【0009】また、現状高密度配線されるチップのパッケージング基板材料としてはセラミックが一般的であるが、平坦性が低いことや階層配線の必要性から大型となり安価でなくなる等の課題がある。

【0010】一方、プリント配線板の配線を高密度化することにより、高配線密度のチップをプリント配線板に接続することも可能であるが、現実においては、1 つの

を有するとは考えづらい。即ち、比較的ピンピッチの広い表面実装部品とピンピッチの狭い部品との混載が広く行われると考えられる。例えば、比較的低い配線密度のプリント配線板に 1 ～ 2 ヶの高性能 (高配線密度) チップを接続したいとのニーズが生ずると考えられる。従って、ピンピッチの最も狭い部品に合わせたプリント配線板を使用することは、製造コストの面で実用的ではない。つまり、コストを抑えるには、プリント配線板を高密度にすることなく、高配線密度のチップを実装できなければならない。

【0011】なお、高配線密度のチップが実装可能な半導体接続基板が提供された場合には、その半導体接続基板を利用したベアチップ搭載ボードが作れる。このベアチップ搭載ボードは、複数のベアチップを搭載してマルチチップモジュール (MCM) とすることができるが、各ベアチップは電極端子の数が多いため、それらを接続するための配線の数も多くなる。この配線を基板表面に配置すると、配線の占有する面積が広がってしまい、ベアチップ搭載ボードの十分な小型化が図れなくなる虞がある。しかも、ベアチップ搭載ボードの機能を高性能化するには、半導体チップやその他の電子部品の間の配線の距離が短いほどよい。すなわち、搭載されるチップや電子部品の配線を効率よく行う必要がある。

【0012】以上のように、ベアチップ等のパッケージ技術として、チップの多ピン化へ対応し、かつ高配線密度のプリント配線板へも、低配線密度のプリント配線板へも接合可能な基板を安価に製造する方法が求められているとともに、複数のベアチップを搭載したボードの配線を効率よく行うことも求められている。

【0013】本発明はこのような点に鑑みてなされたものであり、半導体チップ等の高配線密度の半導体チップと低配線密度のプリント配線板とを接続できる安価な半導体接続基板を提供することを目的とする。

【0014】また、本発明の他の目的は、半導体チップをパッケージングする際に、比較的少ない材料で、かつ短い工程でピンピッチを拡大できる半導体接続基板の製造方法を提供することである。

【0015】また、本発明の別の目的は、極めて短い距離でチップ間の配線が行われたベアチップ搭載ボードを提供することである。

【0016】

【課題を解決するための手段】本発明では上記課題を解決するために、半導体チップをプリント基板に接続するための半導体接続基板において、所定の位置に複数の孔が設けられた、感光性ガラスからなる基板と、前記孔に埋められた導電性物質の上に形成されたバンブと、前記バンブが形成された面と逆の面に設けられ、前記孔の間隔と異なる間隔で配置された複数の接続端子と前記導電性物質とを電気的に接続する配線と、を有することを特

【0017】このような構成の半導体接続基板は、基板として感光性ガラスを用いているため、表面の高い平滑性が得られ高密度配線が可能となるとともに、感光性であることからフォトリソグラフィにより微細な孔を高密度に開けることができる。従って、バンプを有する半導体チップをプリント配線板に接続する場合であれば、その半導体チップを半導体接続基板上に高密度に配置された接続端子に接続し、半導体接続基板に広い間隔で設けられたバンプをプリント配線板の電極に接続することができる。これにより、高配線密度の半導体チップの配線と低配線密度のプリント配線板の配線とが電気的に接続される。

【0018】また、半導体チップをプリント基板に接続するための半導体接続基板の製造方法において、フォトリソグラフィにより、感光性ガラス基板の所定の位置に、前記感光性ガラス基板を貫通する複数の孔をあけ、前記感光性ガラス基板の一方の面に導体膜を形成し、メッキにより前記孔の内部を埋め、さらに前記感光性ガラス基板の面上に盛り上がるまで導体を成長させることによりバンプを形成し、前記導体膜をフォトリソグラフィで現像、及びエッチングをすることにより、前記孔の間隔と異なる間隔で配置された複数の接続端子と、前記バンプを形成する導体とを電気的に接続する配線を形成することとを特徴とする半導体接続基板の製造方法が提供される。

【0019】このような半導体接続基板の製造方法により、半導体チップ等の高配線密度の半導体チップと低配線密度のプリント配線板とを接続できる安価な半導体接続基板が製造できる。

【0020】また、基板上に各種半導体部品が設けられたベアチップ搭載ボードにおいて、所定の位置に複数の孔が設けられた、感光性ガラスからなる基板と、前記孔に埋められた導電性物質と、前記基板の両面において、前記導電性物質の上に接続端子を形成する配線と、所定の電極が前記接続端子に接続されることにより、前記基板の両面に搭載された複数のベアチップと、を有することを特徴とするベアチップ搭載ボードが提供される。

【0021】このようなベアチップ搭載ボードによれば、搭載された複数のベアチップの所定の電極同士が、基板の孔に設けられた導電性物質を介して電気的に接続される。その結果、チップ同士の配線が3次元的に行われるとともに、極めて短い距離で結線される。

【0022】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて説明する。図1は本発明の半導体接続基板を示す図である。この半導体接続基板10は、ベアチップ20を図中上側に接続し、図中下側にプリント配線板30を接続するためのものである。

【0023】半導体接続基板10は、土台となる基板と

いる。感光性ガラス基板11には、ベアチップ20のバンプ21~24と同じ数の孔11a~11dがあげられている。この孔11a~11dは、感光性ガラス基板11を貫通している。各孔11a~11dの位置は、接続すべきプリント配線板30の電極31~34の位置と対応しており、十分に広い間隔をおいて設けられている。

【0024】感光性ガラス基板11の上面には、配線パターンにエッチングされた配線13a~13dが接着剤12により接着されている。配線13a~13dは、それぞれベアチップ20のバンプ21~24と1対1に対応している。そして、配線13a~13dは、ベアチップ20を接続する際にバンプ21~24が接続されるべき位置と孔11a~11dとの間を電気的に接続している。

【0025】各孔11a~11d内部は、メッキにより設けられた導体によって埋められており、さらにその先にバンプ14a~14dが形成されている。このような半導体接続基板10であれば、図中の上側の面の配線13a~13dには、ベアチップ20のバンプ21~24を接続し、図中の下側の面のバンプ14a~14dには、プリント配線板30の電極31~34を接続することができる。これにより、高密度配線のベアチップ20のバンプ21~24と、間隔の広いプリント配線板30側の電極と31~34を電気的に接続することができる。

【0026】次に、図1に示した半導体接続基板10の製造方法について説明する。図2は半導体接続基板10の製造工程を示す図である。なお、以下の説明において、バンプを設ける面を「表面」とし、配線を設ける面を「裏面」とする。

【S1】感光性ガラス基板11の裏面にビアホール用マスク41を設け、その上から感光性ガラス基板11を露光する。

【0027】感光性ガラス基板11には、 $Li_2O-AI_2O_3-SiO_2$  (Au, Ce) 系化学切削性感光性ガラスを用いる。また、感光性ガラス基板11の双方の面は、十分な平滑性を有している。そして、露光処理にはHg-Xeランプを使用し、そのランプによる光を20秒間照射する。次いで、現像処理を行う。

【S2】ステップS1による処理の結果、感光性ガラス基板11にビアホール11a~11dが形成される。このビアホール11a~11dは、感光性ガラス基板11を貫通する孔であり、接続すべきベアチップの電極の数と同じ数だけ設けられている。また、ビアホール11a~11dの位置は、プリント配線板側の電極と合致させるべき位置である。従って、プリント配線板の配線密度と同程度の間隔で設けられている。

【S3】ビアホール11a~11dが形成された感光性ガラス基板11の裏面に、接着剤12を塗布し、導体膜1

【S4】メッキによりビアホール11a~11d内に導体を成長させるとともにバンプ14a~14dを形成する。

【0028】メッキを行う際には、ビアホール11a~11dの内壁に接着剤の層を形成し、接着剤の層の上からメッキ処理を施すことにより、メッキされる金属の附着性を向上させることができる。そして、この際のメッキ処理を感光性ガラス基板11の表面よりも突出するように、メッキを十分成長させる。これにより、導体でビアホール11a~11dが閉塞されるとともに、その先にはバンプ14a~14dが形成される。

【S5】導体膜13の上にフォトレジスト42を塗布し、配線パターン用マスク43で露光する。

【S6】フォトレジスト42を現像し、露光された部分を除去する。さらに、エッチングすることにより、フォトレジスト42a~42eに被覆されていない部分の導体膜13を除去する。

【S7】ステップS6の現像、エッチングの処理により導体膜13がパターンニングされ、配線13a~13eが形成される。そして、必要に応じて配線13a~13eの表面をメッキし保護層(Ni/Au)を形成する。これらの配線13a~13eは、ベアチップのバンプと接続するための電極と、プリント配線板に接続するためのバンプ14a~14dとを1対1で接続している。

【0029】以上のようにして製造された半導体接続基板10を用いて、ベアチップをプリント配線板に接続する。図3は本発明の半導体接続基板10を用いてベアチップを搭載したプリント配線板の第1の例を示す図である。ベアチップ20の電極用のパッドの上には、バンプ21~24が設けられている。バンプ21~24は、それぞれ半導体接続基板10の配線13a~13dに接続されている。一方、プリント配線板30の上面には、ベアチップの電極と電気的に接続するための電極31~34が設けられており、この電極31~34と半導体接続基板10のバンプ14a~14dとが接続されている。これにより、ベアチップ20のバンプ21~24とプリント配線板30の電極31~34とが電気的に接続される。

【0030】図4は本発明の半導体接続基板を用いてベアチップを搭載したプリント配線板の第2の例を示す図である。これは、ベアチップの電極用のパッドにバンプが形成されていない場合の例である。

【0031】この例に示す半導体接続基板50において、感光性ガラス基板51のビアホール51a~51dは、ベアチップ20aのパッドと合致すべき位置に設けられている。そして、そのビアホール51a~51d内を導体物質で埋めた上にバンプが形成されている。一方、接着剤52により貼りつけられた配線53a~53dは、ビアホール51a~51dの位置とプリント配線

すべき位置とを接続している。

【0032】そして、半導体接続基板50のバンプ54a~54dとベアチップ20aの電極用のパッドとが接続され、逆側の配線53a~53dとプリント配線板30aの電極31a, 32a, 33a, 34aとが接続されている。このようにして、電極用のパッドにバンプが設けられていないベアチップ20aを、プリント配線板30aに実装できる。

【0033】図5は本発明の半導体接続基板を用いてベアチップを搭載したプリント配線板の第3の例を示す図である。これは、プリント配線板にベアチップを複数接続し、マルチチップモジュールとする場合の例である。

【0034】この例に示す半導体接続基板60の感光性ガラス基板61には、2つのベアチップ20b, 20cの電極数に対応したビアホール61a~61fが設けられており、ビアホール61a~61f内を埋めた導体の先端にバンプ64a~64fが形成されている。ビアホール61a~61fの位置はプリント配線板30bの電極31b, 32b, 33b, 34b, 35b, 36bと合致すべき位置である。感光性ガラス基板61に接着剤62により貼りつけられた配線63a~63fは、ベアチップ20b用の配線63a~63cと、ベアチップ20c用の配線63d~63fとに分かれている。ベアチップ20b用の配線63a~63cは、ベアチップ20bのバンプ21b, 22b, 23bが合致すべき位置とビアホール61a~61cの位置とを接続している。一方、ベアチップ20c用の配線63d~63fは、ベアチップ20cのバンプ21c, 22c, 23cが合致すべき位置とビアホール61d~61fの位置とを接続している。

【0035】このような半導体接続基板60の配線63a~63cにはベアチップ20bのバンプ21b, 22b, 23bが接続され、配線63d~63fには、ベアチップ20cのバンプ21c, 22c, 23cが接続されている。そして、半導体接続基板60に設けられたバンプ64a~64fは、プリント配線板30bの電極31b, 32b, 33b, 34b, 35b, 36bに接続されている。これにより、複数のベアチップ20b, 20cがプリント配線板30bに搭載される。

【0036】図6は本発明の半導体接続基板を用いてベアチップを搭載したプリント配線板の第4の例を示す図である。これは、バンプの無い複数のベアチップ20d, 20eをプリント配線板30cに搭載し、マルチチップモジュールとする場合の例である。

【0037】この例に示す半導体接続基板70の感光性ガラス基板71には、2つのベアチップ20d, 20eの電極数に対応したビアホール71a~71fが設けられており、ビアホール71a~71f内を埋めた導体の先端にバンプ74a~74fが形成されている。ベアチ

の電極用のパッドの位置と合致すべき位置である。感光性ガラス基板71に接着剤72により貼りつけられた配線73a~73fは、プリント配線板30cの電極31c、32c、33c、34c、35c、36cと合致すべき位置とビアホール71a~71fの位置とを接続している。

【0038】このような半導体接続基板70の配線73a~73fは、プリント配線板30cの電極31c、32c、33c、34c、35c、36cに接続されている。また、半導体接続基板70に設けられたパンプ74a~74cはベアチップ20dの電極用パッドに接続され、パンプ74d~74fはベアチップ20eの電極用パッドに接続されている。これにより、パッドにパンプが設けられていない複数のベアチップ20d、20eがプリント配線板30cに搭載される。

【0039】以上のように、本発明の半導体接続基板を用いてベアチップをプリント配線板に接続することにより、次のような効果が得られる。第1の効果は、チップの電極数が増加しても半導体チップの接続に要する時間が長くなることなく、しかも半導体接続基板に使用される材料の種類が少なく、さらに感光性ガラス等の安価な材料を使用して、半導体チップ等の高配線密度の半導体チップと低配線密度のプリント配線板との接続が可能になることである。

【0040】第2の効果は、半導体接続基板とベアチップとを接続する場合にワイヤボンディングを行っていないため、ベアチップの電極用のパッドを小さくすることができることである。その結果、チップ面積を小さくすることが可能となる。

【0041】第3の効果は、パッドの配置を任意の場所にできることである。その結果、チップの回路を設計する際の制約事項が緩和され、設計の自由度が増す。第4の効果は、ベアチップの電極用のパッドを小さくし、そのパッドを任意の位置に配置することにより、単位面積あたりの接続端子数を増やすことができることである。

【0042】第5の効果は、パンプ付きのチップでも、パンプ無しのチップでも接続可能なことである。第6の効果は、本発明の半導体接続基板の配線ピッチは、プリント配線板の配線ピッチにあわせて自由に決定できることである。つまり、現状のプリント配線板の配線ピッチは300~500ミクロンピッチ程度であるため、このようなプリント配線板に接続する際には、同様の配線ピッチに配線を拡大することもできる。一方、高密度のプリント配線板であれば、それに合わせた微細な配線ピッチにすることもできる。

【0043】第7の効果は、基板の材料が有機樹脂のフィルムでないため適度な強度を有しているとともに、光の透過率が高いため光硬化性の接着剤が使用可能なことである。

体接続基板においても同様である。ところで、図2に示した方法では、感光性ガラス基板にビアホールを設けた後、導体膜を貼りつけているが、導体膜が形成ずみの感光性ガラス基板を用いて半導体接続基板を製造することもできる。以下に、その製造方法について説明する。

【0045】図7は導体膜が形成ずみの感光性ガラス基板を用いた場合の半導体接続基板の製造工程を示す図である。

【S11】表面が十分な平滑性を有しており、裏面に導体膜82が形成された感光性ガラス基板81の表面にビアホール用マスク44を設け、その上から感光性ガラス基板81を露光し、次いで現像処理を行う。

【S12】ステップS11による処理の結果、感光性ガラス基板81にビアホール81a~81cが形成される。このビアホール81a~81cは、感光性ガラス基板81を貫通する孔であり、接続すべきベアチップの電極の数と同じ数だけ設けられる。また、ビアホール81a~81cの位置は、プリント配線板側の電極と合致させるべき位置である。なお、ビアホール81a~81cの裏面側は、導体膜82で覆われたままである。

【S13】メッキによりビアホール81a~81c内に導体を成長させるとともにパンプ83a~83cを形成する。

【S14】裏面にフォトレジスト45を塗布し、配線パターン用マスク46で露光する。次いで、フォトレジスト45を現像し、さらにエッチングすることにより、フォトレジスト45に被覆されていない部分の導体膜を除去する。

【S15】ステップS14の現像、エッチングの処理により導体膜82がパターンニングされ、配線82a~82cが形成される。必要に応じて配線82a~82cの表面をメッキし保護層(Ni/Au)を形成する。

【0046】このようにして、導体膜が形成ずみの感光性ガラス基板から本発明の半導体接続基板を作成することができる。この方法によれば、図2に示した方法よりも工程を少なくすることができる。なお、この半導体接続基板を用いてベアチップをプリント配線板に搭載した際の形態は、図3~図6に示したものと同様である。

【0047】ここまで説明してきた半導体接続基板では、プリント配線板と接続するための端子は一方の面上に設けられているが、基板の端面に接続端子を設けることもできる。以下にその例を示す。

【0048】図8はプリント配線板との接続端子を基板端面に設けた半導体接続基板の製造工程を示す図である。

【S21】十分に薄い(1mm以下)化学切削性感光性ガラスの感光性ガラス基板91に対し、フォトリソグラフィを用いて、外周部に一系列のビアホールを形成する。具体的には、感光性ガラス基板91の上面にビアホール

を露光し、次いで現像処理を行う。

〔S22〕ステップS21による処理の結果、感光性ガラス基板91にビアホール91a、91bが形成される。このビアホール91a、91bは、感光性ガラス基板91を貫通する孔であり、接続すべきベアチップの電極の数と同じ数だけ、外周に沿って一列に設けられている。

〔S23〕ビアホール91a、91bが形成された感光性ガラス基板91の裏面に、スパッタリングにより導体膜92を形成する。この導体膜92は、感光性ガラス基板91の裏面とビアホール91a、91bの内壁とに形成される。

〔S24〕メッキにより導体膜92を成長させる。これにより、スパッタリングで形成された導体膜92の上に新たな導体膜93が形成され、十分な膜厚が得られる。

〔S25〕形成された導体膜92、93を、リソグラフィにより現像、エッチングする。これにより、配線93a~93eが形成される。配線93a~93eの表面にはメッキを施し、保護層(Ni/Au)を形成する。

〔S26〕外周に整列して設けられているビアホール91a、91bに沿って、感光性ガラス基板91を切断する。これにより、ビアホール91a、91bが形成されていた部分が接続端子94a、94bとなる。

【0049】図9は接続端子を基板端面に有する半導体接続基板を示す図である。(A)は上面図である。この半導体接続基板90は、側面に沿って接続端子94が設けられている。各接続端子94は、配線93によってベアチップ搭載領域95のベアチップ用の接続端子と1対1で接続されている。

【0050】(B)は(A)のX-X線断面図である。感光性ガラス基板91の側面には接続端子94c、94dが設けられており、上面には配線93fが設けられている。

【0051】図10は基板端面に設けられた接続端子の拡大図である。接続端子94は、感光性ガラス基板91の側面に設けられており、もとはビアホールの内壁を形成する面であったため、表面は円柱の内面の形状となっている。そして、配線93によりベアチップ用の接続端子と電氣的に接続されている。

【0052】図11は端面に接続端子を有する半導体接続基板を用いてベアチップを搭載したプリント配線板の第1の例を示す図である。プリント配線板30dには、半導体接続基板90が配置された位置の周囲に接続端子31d、32dが設けられている。

【0053】半導体接続基板90の上面にはベアチップ20fが接続されている。一方、感光性ガラス基板91の端面に設けられた接続端子94e、94fは、はんだのような導電性接着材料48a、48bによりプリント配線板30d側の接続端子31d、32dに接続されて

基板91の上面に設けられた配線93g、93jにより、ベアチップ20fのバンプ21f、24fとそれぞれ接続されている。なお、ベアチップ20fのバンプ22f、23fは配線93h、93iに接続されており、この配線93h、93iは、感光性ガラス基板91の端面の図示されていない接続端子を介して、プリント配線板30d側の図示されていない接続端子に接続されている。

【0054】図12は端面に接続端子を有する半導体接続基板を用いてベアチップを搭載したプリント配線板の第2の例を示す図である。これは、半導体接続基板に複数のベアチップを搭載した場合の例である。プリント配線板30eは、半導体接続基板101が配置された位置の周囲に接続端子31e、32eが設けられている。

【0055】半導体接続基板100の上面には2つのベアチップ20g、20hが接続されている。感光性ガラス基板101の端面に設けられた接続端子104a、104bは、はんだのような導電性接着材料48c、48dによりプリント配線板30e側の接続端子31e、32eに接続されている。また、接続端子104a、104bは、感光性ガラス基板101の上面に設けられた配線103a、103fにより、各ベアチップ20g、20hのバンプ21g、23hに接続されている。なお、ベアチップ20g、21hのバンプ22g、23g、21h、22hは配線103b~103eに接続されており、この配線103b~103eは、感光性ガラス基板101の端面の図示されていない接続端子を介して、プリント配線板30e側の図示されていない接続端子に接続されている。

【0056】このようにして、接続端子を基板端面に設けた半導体接続基板を用いて、ベアチップをプリント配線板に搭載することができる。接続端子を基板端面に設けると、半導体接続基板を小型化することができるとともに、はんだの様な従来から確立された技術を用いて容易にプリント配線板上に実装することができる。

【0057】ここで、接続端子を基板端面に設けた半導体接続基板をプリント配線板に実装する場合には、接続端子の位置とプリント配線板側の端子の位置とを正確に一致させる(アライメントする)必要がある。そこで、基板の材料に透明な感光性ガラスを使用することにより、アライメントを行い易くすることができる。

【0058】図13は透明な感光性ガラスを用いた半導体接続基板とプリント配線板とを接続する際の位置確認方向を示す図である。半導体接続基板200は、透明な感光性ガラスが用いられており、上面にベアチップ20nが接続されている。この半導体接続基板200をプリント配線板300に搭載する際には、半導体接続基板200の上方(図中、矢印で示す方向)から半導体接続基板200の位置を視認する。



を示す図である。(A)は半導体接続基板200を目的の位置に接近させる前の状態を示す図である。半導体接続基板200の端面には接続端子211~214が設けられており、各接続端子211~214は配線221~224によってベアチップの端子と電気的に接続されている。プリント配線板側には、ベアチップと接続するための配線301~304が設けられている。そして、この例では、接続端子211~214をそれぞれ配線301~304に接続するものとする。

【0060】(B)は半導体接続基板200を目的の位置に接近させた状態を示す図である。半導体接続基板200は透明な感光性ガラス基板で作られているため、配線221~224が設けられている領域以外は、下のプリント配線板を透かし見ることができる。従って、プリント配線板上に形成された配線301~304も十分視認することができ、容易にアライメントすることができる。

【0061】一方、さらに正確なアライメントを必要とする場合や、コンピュータを用いた画像解析によってアライメントを行う場合には、位置合わせのマーク(以下、アライメントマークと呼ぶ)を用意しておくことが便利である。

【0062】図15はアライメントマークを設けた場合のアライメント状況を示す図である。(A)は半導体接続基板400を目的の位置に接近させる前の状態を示す図である。半導体接続基板400の端面には接続端子411~414が設けられており、各接続端子411~414は配線421~424によってベアチップの端子と電気的に接続されている。さらに、半導体接続基板400の角には、位置合わせ用の十字型のマーク401が設けられている。プリント配線板側には、ベアチップと接続するための配線511~514が設けられている。さらに、プリント配線板側にも位置合わせ用の正方形を4つ並べた形のマーク501が設けられている。そして、この例では、接続端子411~414をそれぞれ配線511~514に接続するものとする。

【0063】(B)は半導体接続基板400を目的の位置に接近させた状態を示す図である。アライメントをする際には、半導体接続基板400側のマーク401の十字の形状が、プリント配線板側のマーク501の正方形の間に一致するように調整する。半導体接続基板400が透明であるため、プリント配線板上に半導体接続基板400を重ねた状態でも双方のマークを401、501を視認することができる。従って、半導体接続基板400を正確な位置に配置できる。

【0064】ところで、最近の多くのチップパッケージでは、ピングリッド形態が取られている。そこで、プリント配線板と接続するための半導体接続基板側の接続端子をピングリッド形態にする場合について次に説明す

【0065】図16はプリント配線板との接続端子をピングリッド形態にする半導体接続基板の製造工程を示す図である。

【S31】十分に薄い(1mm以下)化学切削性感光性ガラスの感光性ガラス基板111に対し、フォトリソグラフィを用いて、外周部に一系列のビアホールを形成する。具体的には、感光性ガラス基板111の上面にビアホール用マスク49を設け、その上から感光性ガラス基板111を露光する。次いで、現像処理を行う。

【S32】ステップS31による処理の結果、感光性ガラス基板111にビアホール111a、111bが形成される。このビアホール111a、111bは、感光性ガラス基板111を貫通する孔であり、接続すべきベアチップの電極の数と同じ数だけ、外周に沿って一列に設けられている。

【S33】ビアホール111a、111bが形成された感光性ガラス基板111の裏面(図中上面)に、スパッタリングにより導体膜112を形成する。この導体膜112は、感光性ガラス基板111の裏面とビアホール111a、111bの内壁とに形成される。

【S34】メッキにより導体膜112を成長させる。これにより、スパッタリングで形成された導体膜112の上に新たな導体膜113が形成され、十分な膜厚が得られる。

【S35】形成された導体膜112、113を、リソグラフィにより現像、エッチングする。これにより、配線113a~113eが形成される。この配線113a~113eは、ベアチップの電極に接続すべき接続端子と外周部のビアホール内壁の導体膜とを1対1に接続している。従って、各ビアホール111a、111bに導電性のピンを貫通させることにより、プリント配線板との接続端子を有する半導体接続基板を得ることができる。ここで、この半導体接続基板にベアチップを接続しピンを貫通させる形態としては、導電性のピンを貫通させる方向や、ベアチップの接続方向によって複数の形態が考えられる。

【0066】図17はピン突出側と反対側にベアチップを接続する場合の例を示す図である。

【S41】半導体接続基板110の配線113a~113eが形成された面と逆の面に、絶縁性接着材料115を用いて、基板補強材114を接着する。この基板補強材114には、ビアホール111a、111bと重なる位置に孔114a、114bを明け、ビアホール111a、111bの位置で貫通する孔を確保する。

【S42】ビアホール111a、111bに対して、半導体接続基板110の配線113a~113eが設けられた面から配線用ピン116、117を挿入する。

【S43】配線113a~113eが設けられた面にベアチップ201を接続し、そのベアチップ201と配

する。これにより、ピングリッド形態の接続端子を有するチップパッケージとなる。

【0067】また、図17のステップS43の工程において、ベアチップ201上部に蓋を設けてもよい。図18は蓋によりベアチップを封止した場合の例を示す図である。この例は、図17のステップS41、ステップS42の工程の後に、ベアチップ201を接続し、その上に蓋119を被せ、絶縁性接着剤118aで固定している。

【0068】次に、上記の例とは逆の方向から配線用ピンを挿入する場合について説明する。図19はピン突出側と同じ面にベアチップを接続する場合の例を示す図である。

【S51】半導体接続基板110の配線113a~113eが形成された面と逆の面に、絶縁性接着剤122を用いて、基板補強材121を接着する。この基板補強材121には、ビアホール111a、111bと重なる位置に孔121a、121bをあけ、ビアホール111a、111bの位置で貫通する孔を確保する。

【S52】ビアホール111a、111bに対して、基板補強材121が設けられた方向から配線用ピン123、124を挿入する。

【S53】基板補強材121の上に、ピンを押さえるための蓋126を絶縁性接着剤125によって接着する。

【S54】配線113a~113eが設けられた面にベアチップ201を接続する。これにより、配線用ピンの突起方向と同じ方向にベアチップが装着される。

【0069】このように、配線用ピンは半導体接続用基板のどちらの面から挿入してもよい。そこで、2つの半導体接続用基板を重ね合わせるにより、双方の面にベアチップを接続し、マルチチップ構成とすることも可能である。

【0070】図20は半導体接続用基板を重ね合わせてマルチチップ構成とした場合の例を示す図である。この例では、2つの半導体接続用基板130、140が使用されている。これらの半導体接続基板130、140は、それぞれ感光性ガラス131、141の上に導体膜132、142が成膜され、その上にさらに導体膜133、143が形成されている。これらの導体膜はリソグラフィによって現像、エッチングされることにより、配線を形成している。

【0071】2つの半導体接続用基板130、140は、双方の配線が設けられた面の逆側の面同士が、絶縁基板151を挟んで接着されている。それぞれの配線には、ベアチップ20k、20mが接続されている。

【0072】そして、半導体接続用基板130の方向から配線用ピン152、153が挿入されている。この配線用ピン152、153とベアチップ20kとの周囲は、絶縁性接着剤154で固められている。同様にベア

いる。

【0073】このように、2枚の半導体接続用基板を貼り合わせるにより、マルチチップ構成のチップパッケージのサイズを小さくすることができる。なお、図20の例では、配線用ピン152、153が設けられた位置でのみ両面の配線が接続されているが、それ以外の位置にも配線用の孔を設ければ、両面のチップの電極同士を最短距離で接続することができる。そのような構成にすれば、各種チップが非常に高密度に実装されたベアチップ搭載ボードが得られる。このベアチップ搭載ボードの例を、以下に示す。

【0074】図21は、高密度実装のベアチップ搭載ボードを示す図である。(A)は上面図であり、(B)は(A)のY-Y断面図である。このベアチップ搭載ボード160では、感光性ガラス基板161の両面に、リソグラフィにより配線162a、162bが形成されている。また、感光性ガラス基板161には、両面の配線162a、162bを電気的に接続するための多数の孔(ビアホール)161aがあけられている。この孔161aは、主に両面の電極端子の位置を直線的に結ぶ位置に設けられている。孔161aの内部は、導電性物質で埋められている。この導電性物質と両面の配線162a、162bとが接続されることにより、両面の配線配線162a、162bが互いに電気的に接続される。

【0075】そして、感光性ガラス基板161の両面に、CPUチップ163、メモリチップ164等のベアチップと、チップコンデンサ165等の電子部品とが搭載されている。CPUチップ163や一部のメモリチップ164a、164bは表面に搭載されており、他のメモリチップ164c~164fとチップコンデンサ165a~165dは裏面に搭載されている。これらのベアチップと電子部品との所定の電極は、感光性ガラス基板161の孔の上の電極端子に接続されている。

【0076】これにより、表面に搭載されたチップの電極と裏面に搭載されたチップの電極とを最短距離で接続することができる。感光性ガラス基板161の厚さは、0.7~1.0mm程度であるため、配線の長さも同程度である。しかも、チップ間配線が1つの平面上に限られるという制限を取り去り、平面方向の配線と垂直方向の配線とを組み合わせることができる。そのため、ベアチップ搭載ボードの小型化をさらに進めることができるとともに、配線抵抗が少なくなり高周波の動作クロックにも対応することができる。

【0077】また、図のように両面実装をすることにより、ベアチップの電源用の端子とグランド用の端子との間に設けるべきコンデンサを、そのチップの裏側に接続することができる。そのため、配線パターンを設計する際に、コンデンサを搭載すべき場所を容易に確保できる。このコンデンサは、半導体チップに実装される。

サを確実に搭載していれば、マルチチップモジュール全体としての動作の安定性が向上する。しかも、コンデンサ自身は非常に小型であるため、コンデンサを多数搭載してもベアチップ搭載ボードが大型化することはない。

【0078】なお、図21のようなベアチップ搭載ボードは、それ単体で1つのコンピュータシステムを構成できるが、このベアチップ搭載ボードをプリント配線板に実装する必要がある場合には、図20に示したような配線用のピンを設けておけばよい。

【0079】

【発明の効果】以上説明したように本発明の半導体接続基板は、高い表面平滑性を有し、且つ安価な感光性ガラスを基板の材料としているため、半導体チップ等の高配線密度の半導体チップと低配線密度のプリント配線板とを接続するための半導体接続基板を安価にすることができ。

【0080】さらにリードフレーム等の空間配線がないためノイズが軽減される等電氣的にも優れており、チップ接続に要する時間がそれほど長くないため電極数の多いチップをプリント配線板に搭載する際の作業時間を短縮できる。

【0081】また、本発明の半導体接続基板の製造方法では、感光性ガラスを基板として半導体接続基板を製造するため安価な材料で製造できるとともに、チップの電極数増加に対しても極端に製造コストをアップせずに半導体接続基板を製造することが可能である。

【0082】また、本発明のベアチップ搭載ボードでは、感光性ガラスからなる基板の両面にベアチップを搭載し、基板に設けられた孔を介して配線を行うようにしたため、複数のベアチップ同士の配線が3次元的に行われるとともに、基板の両面に搭載されたチップ同士が極めて短い距離で結線される。従って、ベアチップ搭載ボードの小型化が図れると同時に、配線抵抗の低下により高周波の動作が可能となる。

【図面の簡単な説明】

【図1】図1は本発明の半導体接続基板を示す図である。

【図2】半導体接続基板の製造工程を示す図である。

【図3】本発明の半導体接続基板を用いてベアチップを搭載したプリント配線板の第1の例を示す図である。

【図4】本発明の半導体接続基板を用いてベアチップを搭載したプリント配線板の第2の例を示す図である。

【図5】本発明の半導体接続基板を用いてベアチップを搭載したプリント配線板の第3の例を示す図である。

【図6】本発明の半導体接続基板を用いてベアチップを搭載したプリント配線板の第4の例を示す図である。

【図7】導体膜が形成ずみの感光性ガラス基板を用いた場合の半導体接続基板の製造工程を示す図である。

【図8】プリント配線板との接続端子を基板端面に設けた半導体接続基板の製造工程を示す図である。

【図9】接続端子を基板端面に有する半導体接続基板の具体例を示す図である。(A)は上面図であり、(B)は(A)のX-X線断面図である。

【図10】基板端面に設けられた接続端子の拡大図である。

【図11】端面に接続端子を有する半導体接続基板を用いてベアチップを搭載したプリント配線板の第1の例を示す図である。

【図12】端面に接続端子を有する半導体接続基板を用いてベアチップを搭載したプリント配線板の第2の例を示す図である。

【図13】透明な感光性ガラスを用いた半導体接続基板とプリント配線板とを接続する際の位置確認方向を示す図である。

【図14】アライメント時に視認される光景を示す図である。(A)は半導体接続基板を目的の位置に接近させる前の状態を示す図であり、(B)は半導体接続基板を目的の位置に接近させた状態を示す図である。

【図15】アライメントマークを設けた場合のアライメント状況を示す図である。(A)は半導体接続基板を目的の位置に接近させる前の状態を示す図であり、(B)は半導体接続基板を目的の位置に接近させた状態を示す図である。

【図16】プリント配線板との接続端子をピングリッド形態にする半導体接続基板の製造工程を示す図である。

【図17】ピン突出側と反対側にベアチップを接続する場合の例を示す図である。

【図18】蓋によりベアチップを封止した場合の例を示す図である。

【図19】ピン突出側と同じ面にベアチップを接続する場合の例を示す図である。

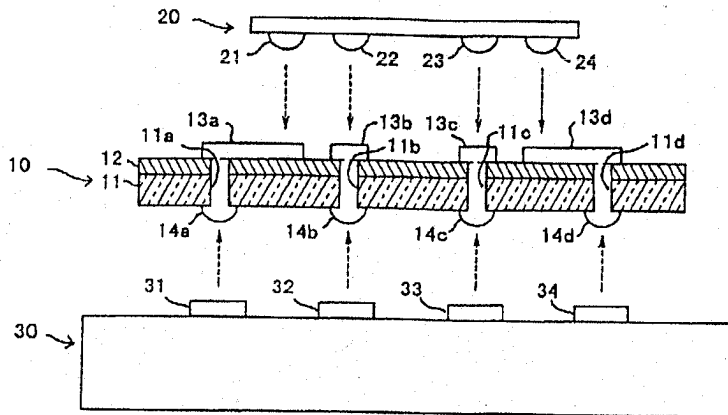
【図20】半導体接続用基板を重ね合わせてマルチチップ構成とした場合の例を示す図である。

【図21】高密度実装を可能にしたベアチップ搭載ボードを示す図である。(A)は上面図であり、(B)は(A)のY-Y断面図である。

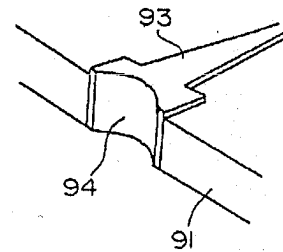
【符号の説明】

- 10 半導体接続基板
- 11 感光性ガラス基板
- 12 接着剤
- 13 a~13 d 配線
- 14 a~14 d パンプ
- 20 ベアチップ
- 21~24 パンプ
- 30 プリント配線板
- 31~34 電極

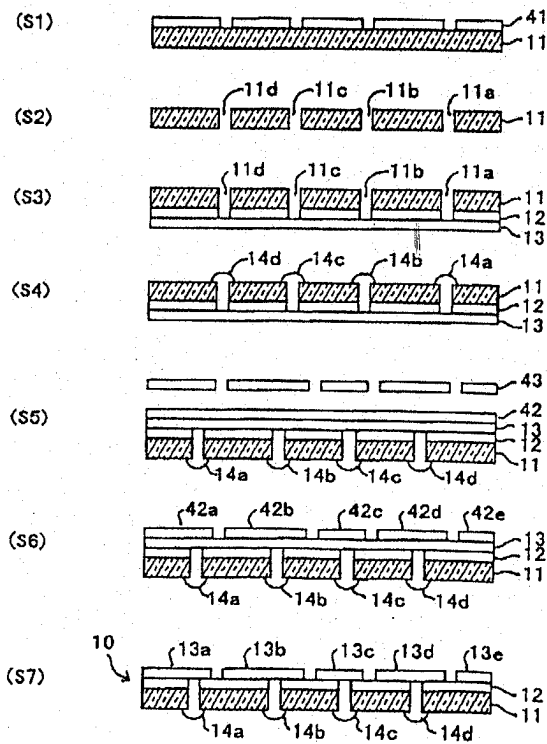
【図 1】



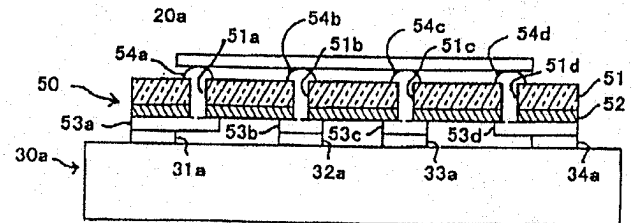
【図 10】



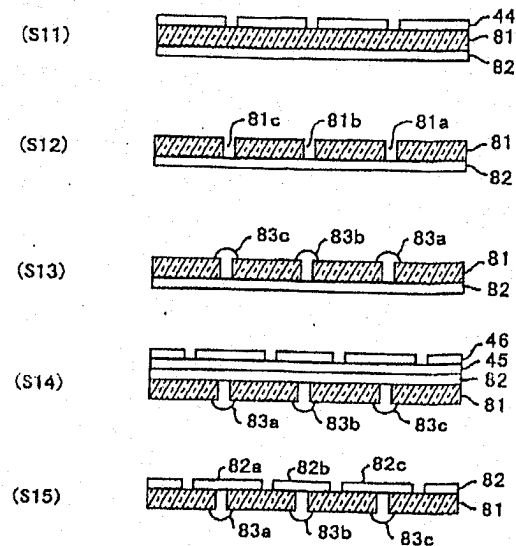
【図 2】



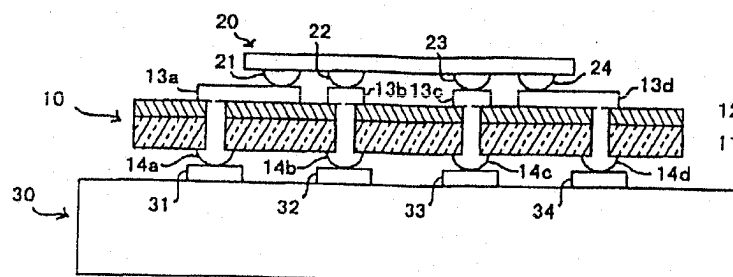
【図 4】



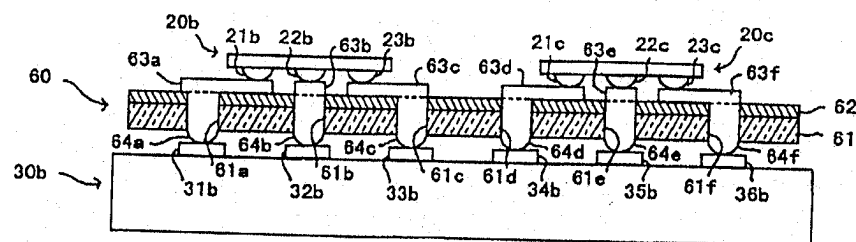
【図 7】



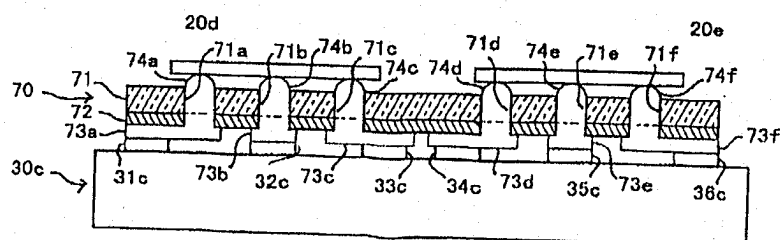
【図3】



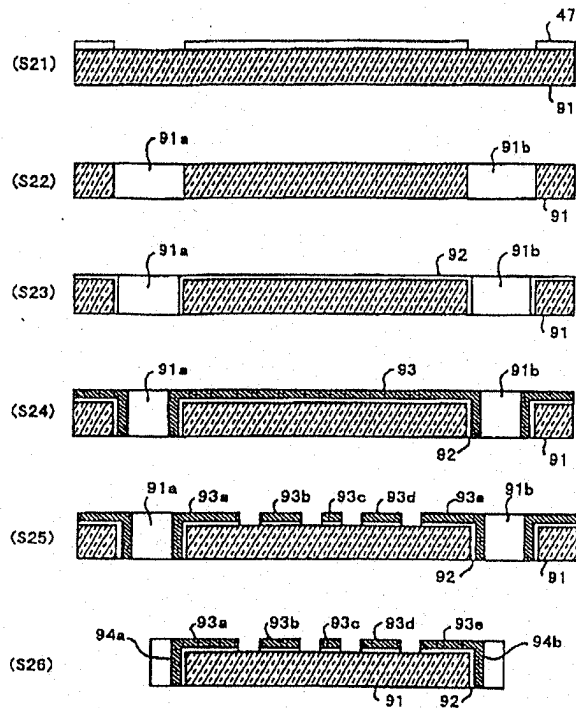
【図5】



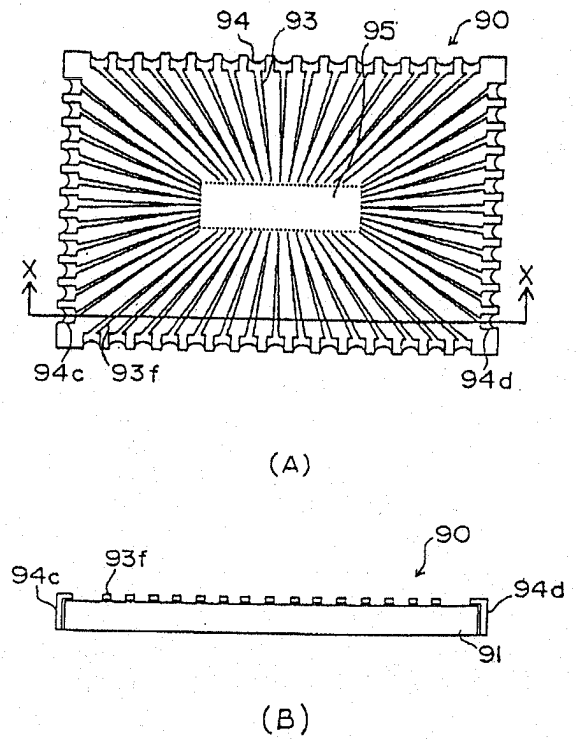
【図6】



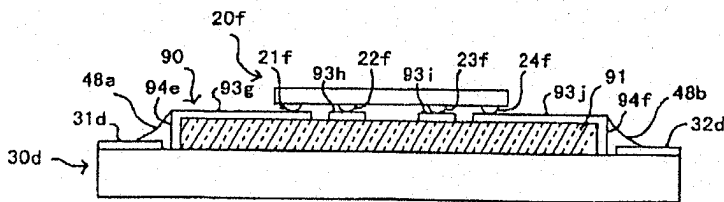
【図8】



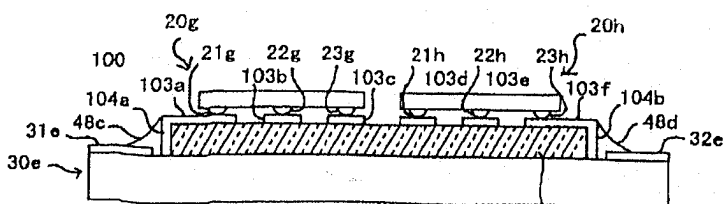
【図9】



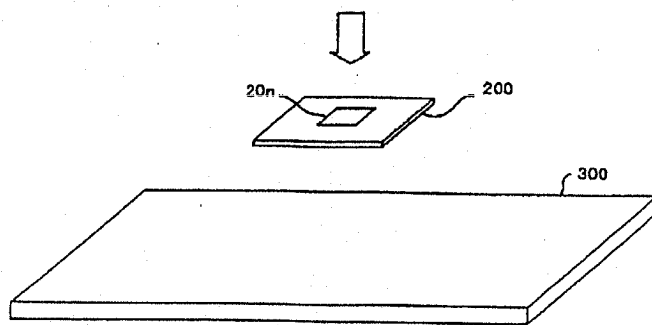
【図11】



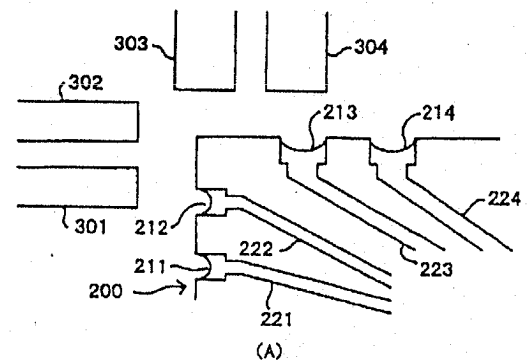
【図12】



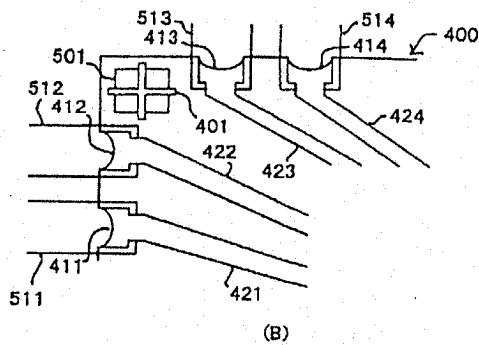
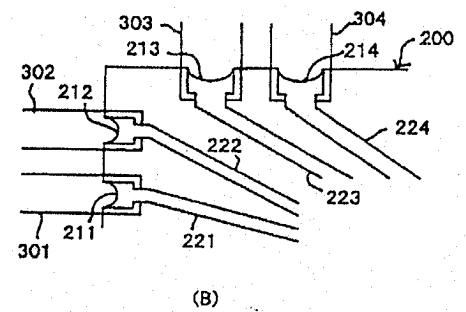
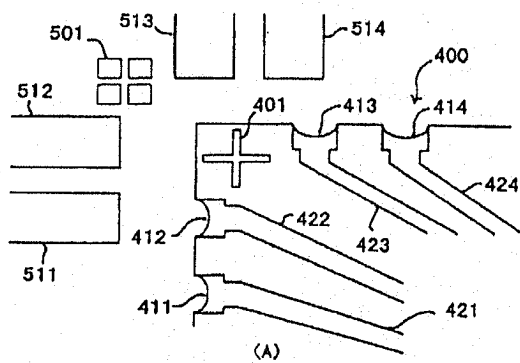
【図13】



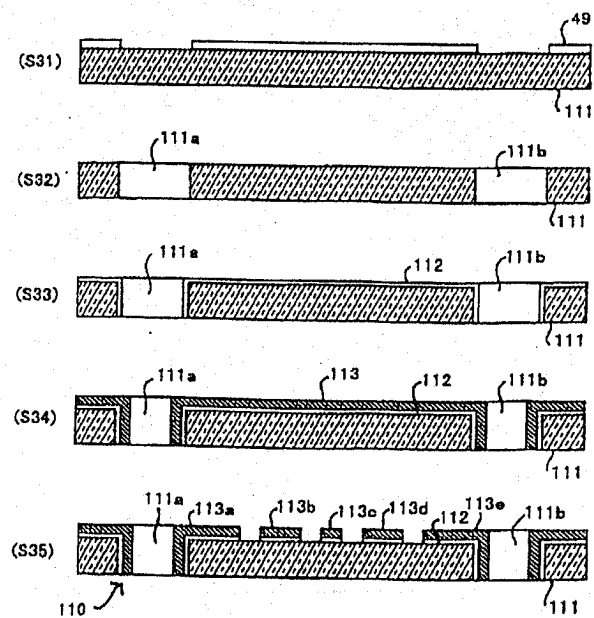
【図14】



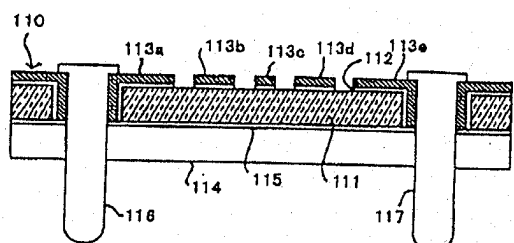
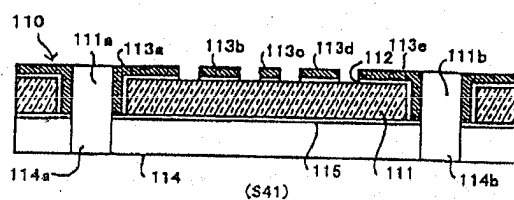
【図15】



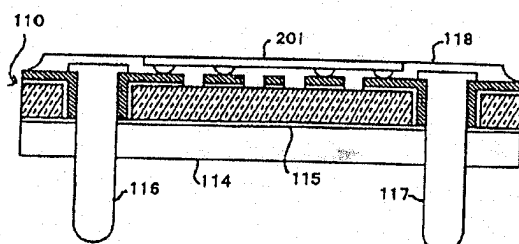
【図16】



【図17】

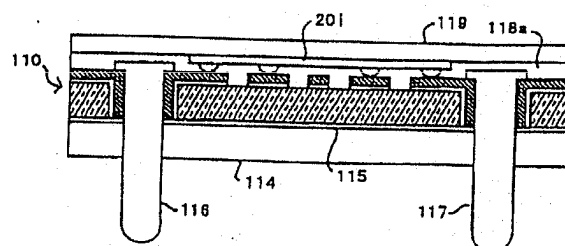


(S42)

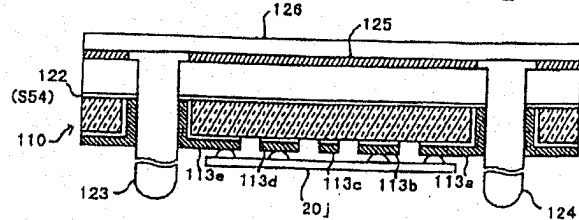
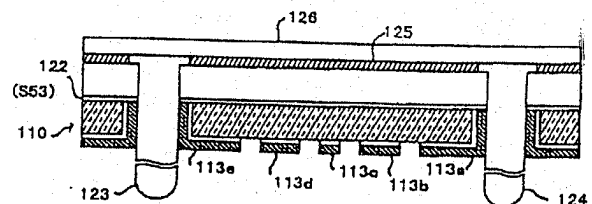
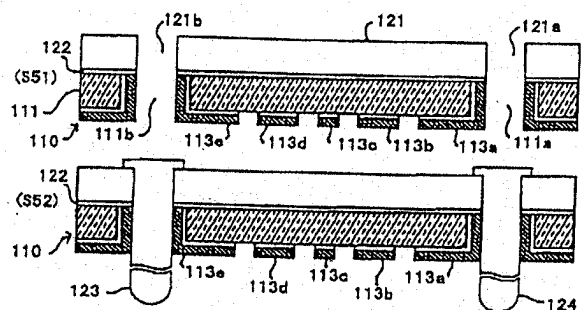


(S43)

【図18】

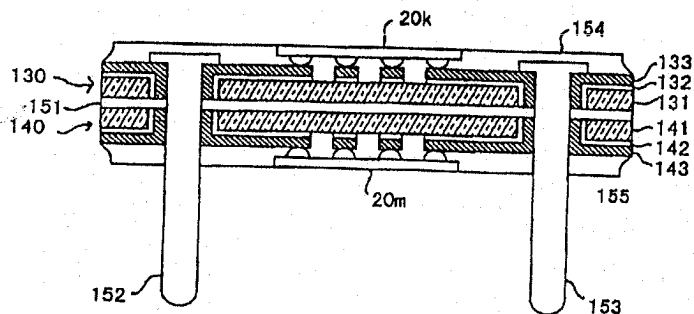


【図19】

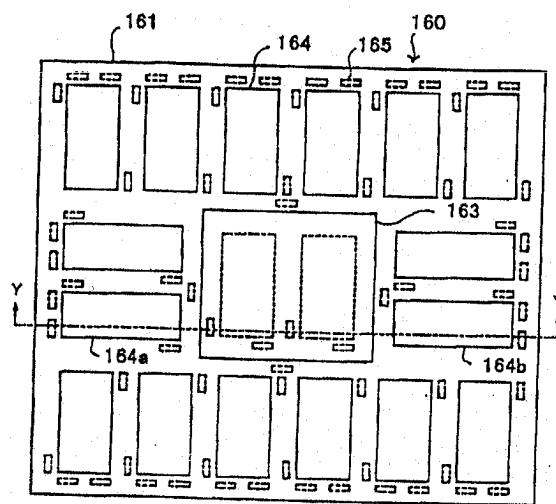




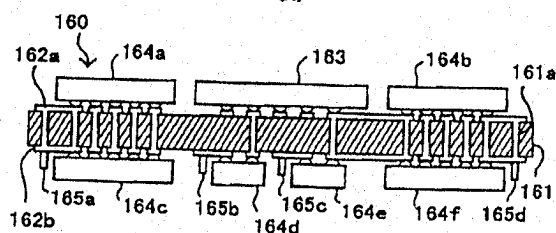
【図 20】



【図 21】



(A)



(B)